

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294444

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
27/10	4 8 1		4 8 1
21/8247		29/78	3 7 1
29/788			
29/792			

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-104531

(22) 出願日 平成9年(1997)4月22日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 草葉 和幸

神奈川県川崎市中原区小杉町1丁目403番
53 日本電気アイシーマイコンシステム株式
会社内

(72) 発明者 岩本 誠

神奈川県川崎市中原区小杉町1丁目403番
53 日本電気アイシーマイコンシステム株式
会社内

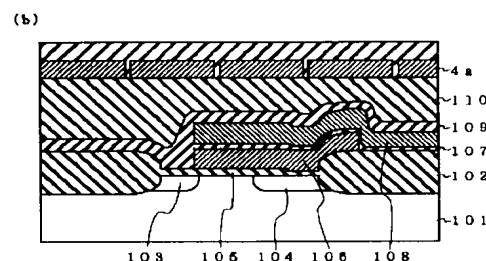
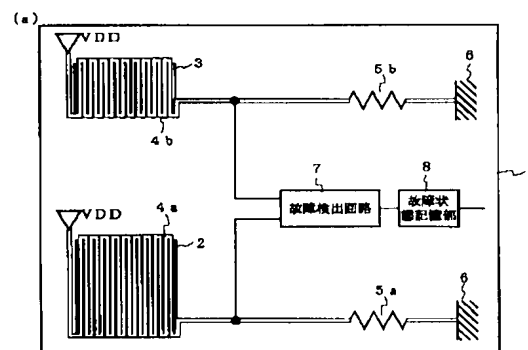
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 紫外線など光の進入を遮断する遮断層が形成されている半導体チップにおいて、その半導体チップを構成する集積回路に、遮断層の破損により光が照射された状態を、電気的に検出できるようにする。

【解決手段】 半導体チップ1上には、集積回路としてEEPROM2およびランダム回路3が形成されている。そして、そのEEPROM2およびランダム回路3上に、例えばA1からなる保護配線層4a、4bを形成する。



【特許請求の範囲】

【請求項1】 集積回路が形成された半導体チップと、前記半導体チップ上に配置して前記集積回路が動作するときには電源が供給され、光を遮断して導電性を有する材料から構成された保護配線層と、前記保護配線層に印加されている電圧を検出し、その電圧が、前記保護配線層が所望の状態に形成された状態で前記保護配線層に前記電源による電圧が印加されているときとは異なる状態を異常信号として検出する故障検出回路と、を備え、前記保護配線層は、連続している配線が、前記半導体チップ上の所定領域に微細な間隔で敷き詰められた状態であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記故障検出回路が検出した異常信号を記憶する故障状態記憶部を備えたことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、異常信号が前記故障検出回路により検出されると、前記集積回路の動作が停止されることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、前記故障状態記憶部に異常信号が記憶されていると、前記集積回路の動作が停止されることを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記保護配線層は、絶縁膜を介して配置して2層以上備え、それぞれの層における配線の延びる方向が互いに異なっていることを特徴とする半導体装置。

【請求項6】 請求項1～5いずれか1項記載の半導体装置において、前記集積回路中に電気的に書き込み及び消去可能な不揮発性メモリが備えられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば、集積回路上部に保護配線層を備えた半導体チップからなる半導体装置に関する。

【0002】

【従来の技術】例えば通信機能を重視した携帯型のコンピュータにおける外部記憶装置として、現在、電気的に書き込み及び消去可能な不揮発性メモリ（EEPROM）が用いられるようになってきている。このEEPROMの基本的なセルは、例えば、図3に示すような構成となっている。すなわち、p形の半導体基板301上のフィールド酸化膜302で区画された領域に、ソース303およびドレイン304が配置されている。そして、その上にゲート絶縁膜305を介して、周囲から電気的に絶縁されたフローティングゲート306が形成され、

その上に絶縁膜307を介して制御ゲート308が形成された構成となっている。なお、フローティングゲート306および制御ゲート308は、高濃度に不純物が導入されたポリシリコンから構成されているものである。

【0003】以上のような構成において、フローティングゲート306とドレイン304の間のゲート絶縁膜305は、一部が10nm程度に薄く形成されており、制御ゲート308にドレイン304より十分高い正の電圧を加えると、電子がドレイン304からフローティングゲート306に入る。これを消去とする。以上のことに対して、制御ゲート308に加える電圧の極性を変えれば、フローティングゲート306に入っていた電子は、ドレイン304に抜けていくことになる。これを書き込みとする。なお、上述した薄いゲート絶縁膜305を通過する電子の流れは、トンネル現象によるものである。

【0004】そして、フローティングゲートに電子が入っていないときは、トランジスタはオンになる。これに対して、フローティングゲートに電子が多く入っているときは、フローティングゲート中の電子の負電荷によって、ソース・ドレイン間にチャネルが誘起されにくくなり、トランジスタはオンにならない。これら2つのオン・オフ状態が、「0」、「1」に対応する。

【0005】以上示したように、EEPROMは、個々のメモリセルの書き込み、消去が、電気的に行えるという利点がある。しかしながら、このEEPROMは、蓄えられたデータが、紫外線の照射によって自然に消去されてしまうという問題がある。このため、従来では、文献（実開平5-38915号公報）に示されているように、EEPROMセル上に遮光膜を備えて、データの消去の原因となる紫外線の進入を遮断するようにしている。図4は、この遮光膜が配置された状態の1例を示す平面図であり、集積回路が形成された半導体チップ401上のEEPROM402の領域には、メモリセルごとに、その上に紫外線遮断層403を配置するようにしている。

【0006】

【発明が解決しようとする課題】しかしながら、従来のように紫外線遮断層を形成しておくだけでは、その紫外線遮断層が何らかの原因で破損などした場合、その状態が外観上観察するまでは認知されないため、記憶されているデータの信頼性が保証できないという問題があった。すなわち、紫外線遮断層が破損している場合、その破損領域から紫外線がEEPROMセルに照射され、保持されているデータが破壊されることになる。ここで、紫外線遮断層の破損状態は、EEPROMで構成している集積回路を備えた半導体チップを外観上観察すれば検出することができる。しかし、その半導体チップがデータ通信機器等に組み込まれている場合など、EEPROMの状態が常に外からは観察不可能な場合が多い。

【0007】このような場合、たとえ、紫外線遮断層に

破損が生じており、そのためにデータが破壊されていても、その状態を検知することができず、異常なデータを用いた情報処理が行われることになる。また、紫外線遮断層は、ワード線などの上に配置されているため、その破損により、EEPROMを構成する上層配線の破損や断線を引き起こしている場合もある。このような状態も、上述のことにより検知することができず、この半導体チップを用いた機器の誤動作を起こす原因となる。

【0008】この発明は、以上のような問題点を解消するためになされたものであり、紫外線など光の進入を遮断する遮断層が形成されている半導体チップにおいて、その半導体チップを構成する集積回路に、遮断層の破損により光が照射された状態を、電気的に検出できるようにすることを目的とする。

【0009】

【課題を解決するための手段】この発明の半導体装置は、集積回路が形成された半導体チップと、その半導体チップ上に配置して集積回路が動作するときには電源が供給されて光を遮断して導電性を有する材料から構成された保護配線層と、その保護配線層に印加されている電圧を検出し、その電圧が保護配線層が所望の状態に形成された状態で保護配線層に電源による電圧が印加されているときは、異なる状態を異常信号として検出する故障検出回路とを備えるようにした。そして、保護配線層は、続している配線が、半導体チップ上の所定領域に連続的な間隔で敷き詰められた状態となっているようにした。このように構成したので、集積回路への光の進入が、保護配線層により遮られる。

【0010】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。図1は、この発明の第1の実施の形態における半導体装置の構成を示す構成図である。図1(a)に示すように、半導体チップ1上には、集積回路としてEEPROM2およびランダム回路3が形成されている。そして、この実施の形態の半導体装置では、そのEEPROM2およびランダム回路3上に、例えばA1からなる保護配線層4a、4bを形成するようにしている。なお、保護配線層4a、4bを構成する材料はA1に限るものではなく、CuやTiなど他の金属材料を用いるようにしてもよい。すなわち、保護配線層4a、4bは、光を遮断し、かつ、導電性を有していればよい。

【0011】また、図1(b)は、図1のEEPROM2の一部における断面を示すものである。この図1(b)を用いてEEPROMの概略構成を説明すると、まず、p形の半導体基板101上のフィールド酸化膜102で区画された領域に、ソース103およびドレイン104が配置されている。そして、その上にゲート絶縁膜105を介して、周囲から電気的に絶縁されたフローティングゲート106が形成され、その上に絶縁膜10

7を介して制御ゲート108が形成された構成となっている。なお、フローティングゲート106および制御ゲート108は、高濃度に不純物が導入されたポリシリコンから構成されているものである。

【0012】以上のような構成において、フローティングゲート106とドレイン104の間のゲート絶縁膜105の一部は、10nm程度に薄く形成されている。そして、制御ゲート108にドレイン104より十分高い正の電圧を加えると、その薄いゲート絶縁膜105の領域において、電子がドレイン104からフローティングゲート106に入る。これが消去になる。以上のことに対して、制御ゲート108に加える電圧の極性を変えれば、フローティングゲート106に入っていた電子は、ドレイン104に抜けていくことになる。これが書き込みになる。

【0013】そして、この上に層間絶縁膜109、110を介して、保護配線層4a、4bが形成されたものとなっている。この保護配線層4a、4bは、図1(a)に示すように、それぞれ一端が電源VDDに接続され、他端は抵抗5a、5bを介して接地6に接続している。そして、この保護配線層4a、4bは、隣に配置された配線同士が接触することなく、EEPROM2、ランダム回路3上の所望とする領域をほぼ覆い隠すように形成されている。このため、覆い隠している領域の下には、光がほとんど入らない状態となっている。また、例えば、保護配線層4aのEEPROM2上の部分から抵抗5aまでの間に、故障検出回路7が接続している。これは、保護配線層4bにおいても同様である。そして、故障検出回路7の出力は、故障状態記憶部8に記憶される。

【0014】以上示した構成としているので、保護配線層4a、4bには、半導体装置が動作しているときには常に、電源VDDが印加された状態となっており、その電位は抵抗5a、5bによって規定される電位（正常電位）に保たれている。このため、例えば、保護配線層4aに断線が生じると、その断線部分と抵抗5aとの間の電位は、上述した正常電位とは異なるものとなる（異常電位）。同様に、保護配線層4bに断線が生じると、その断線部分と抵抗5bとの間の電位は、上述した正常電位とは異なり異常電位となる。そして、故障検出回路7では、それら電位を監視し、そのどちらか1つでも異常電位（異常信号）を検出したときには、故障検出信号を出力する。そして、この故障検出回路7から出力された故障検出信号は、故障状態記憶部8に記憶される。

【0015】従って、この実施の形態によれば、保護配線層4a、4bによりEEPROM2、ランダム回路3が光照射から保護されることになる。このため、例えば、EEPROM2においては、記録されているデータを光照射による消去から保護することが可能となる。そして、この実施の形態によれば、保護配線層4a、4b

に破損が生じ、この破損個所からの光照射により、記録されているデータに異常が発生したことが、外観上の観察を行わなくても検出することができる。すなわち、保護配線層4a、4bに破損が生じれば、上述したように、故障検出回路7から故障検出信号が出力され、これが故障状態記憶部8に記憶される。従って、この故障状態記憶部8の記憶内容を確認すれば、そのデータ異常を検出することが可能となる。

【0016】なお、上述した故障検出回路7および故障状態記憶部8は、次に示す構成としてもよい。例えば、故障検出回路7を2つの入力信号をそれぞれ反転させる反転回路と、それらの「OR」をとるOR回路で構成し、故障状態記憶部8をフリップフロップで構成するようにしてもよい。このように構成することで、保護配線層4a、4bに断線がなければ、OR回路の2つの入力は「Low」となり、フリップフロップも「Low」レベルとなる。これに対して、保護配線層4a、4bどちらかに断線があれば、OR回路の2つの入力のどちらかは「High」となり、フリップフロップも「High」レベルとなり、これが保持される。

【0017】そして、このフリップフロップが「Low」、「High」どちらの状態となっているかを確認することで、図1の半導体装置に異常が発生しているかどうかを確認することができる。また、このフリップフロップが「High」レベルの時は、図1の半導体装置が動作できないようにしてもよい。また、そのフリップフロップの出力先にリセット回路を接続し、フリップフロップが「High」レベルの時は、図1の半導体装置が常に初期化動作を行うような状態となるようにしてもよい。すなわち、その半導体装置に異常が発生しているときは、その半導体装置の使用が不可能な状態とするようにしてもよい。このようにすることで、この半導体装置が接続されている機器の故障などを防ぐことができる。

【0018】ところで、上記実施の形態においては、保護配線層を構成する個々の配線が、同一方向に長く形成するようにしているが、これに限るものではなく、図2(a)に示すように、螺旋状とした保護配線層201を形成するようにしてもよい。ここで、上述したように、この保護配線層201の一端に電源を接続し、他端は故障検出回路へと接続する必要がある。従って、図2

(a)に示すように、保護配線層201はその中心部より、絶縁膜を介して形成されている配線202を引き出す必要がある。

【0019】また、図2(b)に示すように、保護配線層203が、配線の方向が直行するように配置した2層構成となってもよい。この場合、この保護配線層203は、下層に配置する保護配線層203aと、その上層に絶縁膜を介して配置する保護配線層203bとが、コンタクト203cを介して接続された構造となっている。このように保護配線層203を構成することで、より遮光性を高めることが可能となる。

【0020】

【発明の効果】以上説明したように、この発明では、集積回路が形成された半導体チップと、その半導体チップ上に配置して集積回路が動作するときには電源が供給され、光を遮断して導電性を有する材料から構成された保護配線層と、その保護配線層に印加されている電圧を検出し、その電圧が保護配線層が所望の状態に形成された状態で保護配線層に電源による電圧が印加されているときは異なる状態を異常信号として検出する故障検出回路とを備え、保護配線層は、連続している配線が、半導体チップ上の所定領域に微細な間隔で敷き詰められた状態となっているようにした。すなわち、この発明によれば、集積回路への光の進入が、保護配線層により遮られる構成となっている。従って、この発明によれば、保護配線層が破損などすると、それが故障検出回路に検出されるので、保護配線層の破損により集積回路へ光が照射された状態などが、電氣的に検出することができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態における半導体装置の構成を示す構成図である。

【図2】 保護配線層の構成を示す平面図である。

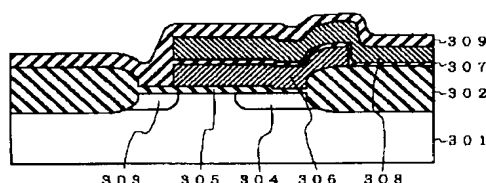
【図3】 EEPROMの基本的なセルの一部を示す断面図である。

【図4】 EEPROM上に遮光膜が配置された状態の1例を示す平面図である。

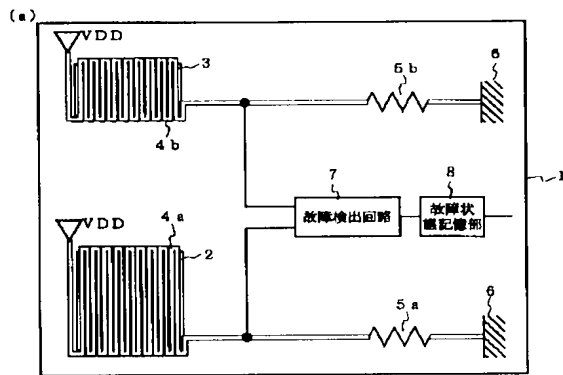
【符号の説明】

101…半導体基板、102…フィールド酸化膜、103…ソース、104…ドレイン、105…ゲート絶縁膜、106…フローティングゲート、107…絶縁膜、108…制御ゲート、109、110…層間絶縁膜。

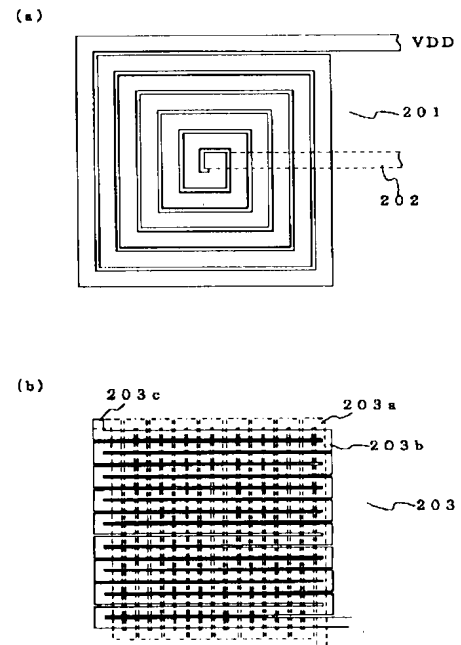
【図3】



【図1】



【図2】



【図4】

